

Attorney Docket No. 1614.1363

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

Ichiro YOKUKURA, et al.

Application No.:

Group Art Unit:

Filed: September 29, 2003

Examiner:

For: **DIGITAL PHASE LOCKED CIRCUIT CAPABLE OF DEALING WITH INPUT CLOCK
SIGNAL PROVIDED IN BURST FASHION**

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN
APPLICATION IN ACCORDANCE
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s) herewith a certified copy of the following foreign application:

Japanese Patent Application No(s). 2002-284761

Filed: September 30, 2002

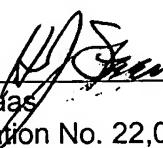
It is respectfully requested that the applicant(s) be given the benefit of the foreign filing date(s) as evidenced by the certified papers attached hereto, in accordance with the requirements of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

Date: September 29, 2003

By:


H. J. Staas
Registration No. 22,010

1201 New York Ave, N.W., Suite 700
Washington, D.C. 20005
Telephone: (202) 434-1500
Facsimile: (202) 434-1501

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日

Date of Application:

2002年 9月30日

出願番号

Application Number:

特願2002-284761

[ST.10/C]:

[JP2002-284761]

出願人

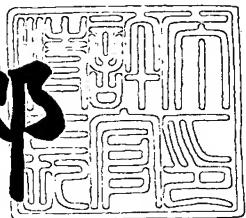
Applicant(s):

富士通株式会社

2003年 2月14日

特許庁長官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3007373

【書類名】 特許願

【整理番号】 0251885

【提出日】 平成14年 9月30日

【あて先】 特許庁長官殿

【国際特許分類】 H03L 7/06

【発明の名称】 ディジタル位相同期回路

【請求項の数】 5

【発明者】

【住所又は居所】 神奈川県横浜市港北区新横浜2丁目3番9号 富士通デジタル・テクノロジ株式会社内

【氏名】 横倉 伊智郎

【発明者】

【住所又は居所】 神奈川県横浜市港北区新横浜2丁目3番9号 富士通デジタル・テクノロジ株式会社内

【氏名】 尾花 裕治

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 望月 英明

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100105337

【弁理士】

【氏名又は名称】 真鍋 潔

【選任した代理人】

【識別番号】 100072833

【弁理士】

【氏名又は名称】 柏谷 昭司

【選任した代理人】

【識別番号】 100075890

【弁理士】

【氏名又は名称】 渡邊 弘一

【選任した代理人】

【識別番号】 100110238

【弁理士】

【氏名又は名称】 伊藤 壽郎

【手数料の表示】

【予納台帳番号】 075097

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9906989

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 ディジタル位相同期回路

【特許請求の範囲】

【請求項1】 入力クロック信号の位相に、マスタクロック信号を分周した出力クロック信号の位相を同期化させるディジタル位相同期回路に於いて、前記入力クロック信号と前記出力クロック信号との位相を比較する位相比較部と、

該位相比較部からの位相比較信号を基に分周制御を行う為のINC/DEC要求信号を出力する位相比較結果検出部と、

該位相比較結果検出部からの前記INC/DEC要求信号を基に前記入力クロック信号と前記出力クロック信号との位相差を算出し、該位相差に応じた動作率データを出力する動作率算出部と、

前記位相比較結果検出部からの前記INC/DEC要求信号に従って前記マスタクロック信号の分周制御を行い、前記動作率算出部からの前記動作率データに従って前記INC/DEC要求信号をマスクして前記出力クロック信号の位相吸収速度を変化させるクロック生成部と

を備えたことを特徴とするディジタル位相同期回路。

【請求項2】 前記位相比較結果検出部は、前記位相比較部からの前記入力クロック信号と前記出力クロック信号との排他的論理和出力信号に相当する位相比較信号のハイレベルの期間にアップカウントし、ローレベルの期間にダウンカウントするアップダウンカウンタと、設定した最小カウント値を検出してDEC要求信号を出力し、設定した最大カウント値を検出してINC要求信号を出力する検出部とを有することを特徴とする請求項1記載のディジタル位相同期回路。

【請求項3】 前記動作率算出部は、前記位相比較結果検出部からの前記INC/DEC要求信号を基にアップカウント又はダウンカウントして、カウント値を算出位相差データとする位相差算出カウンタと、前記算出位相差データと動作率データとを対応させて格納したテーブルにより前記算出位相差データに従った動作率データを出力する位相吸収動作率決定部とを有することを特徴とする請求項1記載のディジタル位相同期回路。

【請求項4】 前記動作率算出部は、前記位相差算出カウンタを短い時間間隔でサンプリングして求めたカウント値を所定時間間隔毎に積算して算出位相差データとする構成を有することを特徴とする請求項1又は3記載のデジタル位相同期回路。

【請求項5】 入力クロック信号の位相にマスタクロック信号を分周した信号を同期化させるデジタル位相同期回路に於いて、

前記入力クロック信号と前記出力クロック信号との位相を比較する位相比較部と、

該位相比較部に於ける比較結果により、前記入力クロック信号の位相に対して前記出力クロック信号の位相が進んでいる場合には、前記分周に於ける分周数を上げる方向に制御する信号を出力し、前記入力クロック信号の位相に対して前記出力クロック信号の位相が遅れている場合には、前記分周に於ける分周数を下げる方向に制御する信号を出力する位相比較結果検出部と、

前記入力クロック信号とマスタクロック信号との位相差に応じて前記分周数を制御する信号を間引く率を制御して位相差に応じて位相吸収速度を変更する制御手段と

を備えたことを特徴とするデジタル位相同期回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、バースト的に入力されるクロック信号に対しても、位相同期したクロック信号を出力し、且つ所望の位相吸収特性とすることができるデジタル位相同期回路に関する。

【0002】

【従来の技術】

SDH (Synchronous Digital Hierarchy) 方式に於いては、STM (Synchronous Transport Modul e) - 1 (155Mbps) を基本フレーム構成とし、例えば、STM-0 は 51Mbps、STM-4 は 622Mbps、STM-16 は 2.4Gbps

のビットレートのフレーム構成とするものである。

【0003】

又SONET (Synchronous Optical Network) 方式は、前述のSDH方式と類似したものであり、両方の方式に於けるフレーム構成は、オーバーヘッドとペイロードとからなり、例えば、コンテナC-N (N=2, 3, 4, 11, 12) データにパスオーバヘッドを付加してバーチャルコンテナVC-Nとし、ペイロードにマッピングして伝送する。この場合、例えば、コンテナC-11は、1.544Mbps、C-12は2.048Mbps、C-2は6.312Mbpsのビットレートである。

【0004】

コンテナC-Nをペイロードからデマッピングする場合、ポインタによって先頭位置を識別し、バイト多重されたコンテナC-Nを抽出することになる。この抽出されたC-Nデータは、例えば、メモリに書き込み、この時の書きクロック信号に位相同期した読み出クロック信号によってメモリから読み出すものである。

【0005】

図11はC-Nデータのデマッピング説明図であり、51はC-Nデマッピング部、52はメモリ、53は位相比較部、54はDPLL (Digital Phase Locked Loop) 部、即ち、デジタル位相同期回路を示す。C-Nデマッピング部51に、システムクロック信号に同期した受信SDHフレームを入力し、システムクロック信号に従って、且つポインタ値を用いて、SDHフレームのペイロードから所望のC-Nデータをデマッピングしてメモリ52に入力する。このデマッピングしたC-Nデータに同期した書きクロック信号WCLKにより、C-Nデータをメモリ52に書き込むものである。

【0006】

又マスタークロック信号をDPLL部54に入力して読み出クロック信号RCLKを出力する。この読み出クロック信号RCLKと書きクロック信号WCLKとを位相比較部53に於いて位相比較し、位相比較信号をDPLL部54に入力して、読み出クロック信号RCLKの位相を書きクロック信号WCLKに同期化させる。この読み出クロック信号RCLKによってメモリ52から連続的に読み出したC-N

データを後段の回路に転送し、その時の読み出クロック信号RCLKを後段の回路にクロック信号として転送する。

【0007】

DPLL部54は、位相比較部53からの書き込みクロック信号WCLKに対する読み出クロック信号RCLKの位相が進みか遅れかを示す位相比較信号に従って、マスタクロック信号の1パルス分の抜取り又は挿入を行い、或いはマスタクロック信号を分周する分周比を切替えて、読み出クロック信号RCLKの位相を、書き込みクロック信号WCLKの位相に同期化させる構成を有するものである。

【0008】

この場合のC-Nデマッピング部51からのC-Nデータは、SDHフレームのペイロードからバイト単位で抽出されたものであるから、書き込みクロック信号WCLKも、バイト単位のC-Nデータに同期したものとなる。位相比較部53は、連続した読み出クロック信号RCLKとバースト的な書き込みクロック信号WCLKとの位相比較を行うもので、例えば、排他的論理回路により構成することができる。この位相比較部53からの位相比較信号をDPLL部54に入力し、マスタクロック信号を分周して読み出クロック信号RCLKとする時の分周比の切替え又はマスタクロック信号の1パルス分の挿入、抜取りにより、読み出クロック信号RCLKを書き込みクロック信号WCLKの位相に同期化させる。

【0009】

例えば、書き込みクロック信号WCLKと読み出クロック信号RCLKとの排他的論理と出力信号を位相比較信号とすると、DPLL部54に於いては、位相比較信号のハイレベルの期間にアップカウントし、ローレベルの期間にダウンカウントするアップダウンカウンタを設け、そのカウント値が所定値に達した時に、マスタクロック信号の1パルス分の挿入、抜取りによって分周出力の読み出クロック信号RCLKの位相を制御する。この場合のアップダウンカウンタは、位相同期ループのローパスフィルタの機能を有することになる。

【0010】

又入力クロック信号に位相同期した出力クロック信号を得る為のDPLL回路に於いて、入力クロック信号と出力クロック信号との位相を比較し、前述のよう

に、アップダウンカウンタによりカウントして、位相制御の為のパルスの挿入又は抜取りを行って、入力クロック信号位相に出力クロック信号位相を同期化させる場合に、位相の進み、遅れについての位相差の大きさを測定して、大小又は大小に分類し、位相差が小の場合は、システムクロック信号の挿入又は抜取りを行って、システムクロック信号の1パルス分に相当する出力クロック信号位相を制御し、又位相差が大の場合は、システムクロック信号を分周した信号の挿入又は抜取りを行って、システムクロック信号の複数パルス分に相当する出力クロック信号位相を制御して、高速位相引込みと、位相引込みを行った後のジッタ抑圧とを行う構成が知られている（例えば、特許文献1参照）。

【0011】

又PON (Passive Optical Network) システムに於いて、複数の子局から親局に送信するそれぞれのタイミングを予め設定したとしても、親局で受信する各子局からの信号の受信タイミング間隔は不確定なものとなる。従って、親局に於いては、バースト的に子局からの信号を受信する場合と同様となる。その場合に、親局は各子局からの信号を受信識別する為のクロック信号をDPLL回路を用いて生成し、このクロック信号より高速の高速クロック信号によって受信信号を複数のシフトレジスタによりそれぞれ異なる遅延時間となるように遅延させて、親局のクロック信号との位相を比較し、比較一致の遅延受信信号に対して、そのクロック信号を用いてデータ識別を行う構成のDPLL回路が知られている（例えば、特許文献2参照）。

【0012】

【特許文献1】

特開平6-53821号公報

【特許文献2】

特開平7-86926号公報

【0013】

【発明が解決しようとする課題】

ディジタル位相同期回路（以下DPLL回路と略称する）は、入力クロック信号の位相に同期化した出力クロック信号を得るもので、入力クロック信号と出力

クロック信号との位相の進み、遅れの位相比較結果をアップダウンカウンタによりカウントし、所定数に達した時に、マスタクロック信号の1パルス分の挿入又は抜取りを行い、更に、その場合の位相差の大きさを判定して、マスタクロック信号の挿入又は抜取りの等価的なパルス数を切替える前述の特許文献1に於いては、位相同期の高速引込みとジッタ抑圧とを可能とすることができます。

【0014】

しかし、SDHフレームのペイロードからデマッピングしたC-Nデータの処理の為のDPLL回路に於いては、入力されるC-Nデータがバースト的となり、又SDHフレーム内のC-Nデータの位置は、フレーム毎に同一の場合、及び異なる場合がある。従って、デマッピングしたC-Nデータは、一定間隔で入力されない場合が発生する。このような場合でも、デマッピングしたC-Nデータに位相同期したクロック信号をDPLL回路から出力することが必要である。

【0015】

デマッピングしたC-Nデータは、バースト的に入力されるものであるから、例えば、前述の特許文献2に示すように、複数のシフトレジスタによりそれぞれシフトして、クロック信号と位相同期関係のシフトレジスタの出力データを用いる構成を適用することも考えられるが、複数のシフトレジスタを設けることによる回路規模の増大が問題となり、且つ入力されるデータの位相変化に追従させることが困難である問題がある。

【0016】

更に、デマッピングしたC-Nデータを処理する為のDPLL回路に於いては、所定のMTIE (Maximum Time Interval Error ; 位相吸収特性) を満足する必要があるが、前述の特許文献1に示すように、位相差の大きさに従って、周期の短いパルス (マスタクロック信号) 又は周期の長いパルス (分周出力信号) の挿入、抜取りを行うだけでは、前述のMTIEを満足することはできないものである。即ち、位相同期引込みを所望の特性に制御する構成を実現できないものであった。

【0017】

本発明は、バースト的に入力されるクロック信号に対して、所望の動作特性で

位相同期引込みを可能とするDPLL回路を提供することを目的とする。

【0018】

【課題を解決するための手段】

本発明のデジタル位相同期回路は、図1を参照して説明すると、入力クロック信号ACLKの位相に、マスタクロック信号MCLKを分周した出力クロック信号BCLKの位相を同期化させるデジタル位相同期回路であって、入力クロック信号ACLKと出力クロック信号BCLKとの位相を比較する位相比較部1と、この位相比較部1からの位相比較信号PCをに応じた分周制御を行う為のINC/DEC要求信号を出力する位相比較結果検出部3と、この位相比較結果検出部3からのINC/DEC要求信号を基に、入力クロック信号ACLKと出力クロック信号BCLKとの位相差を算出し、この位相差を基に動作率データを出力する動作率算出部4と、位相比較結果検出部3からのINC/DEC要求信号に従って、マスタクロック信号MCLKの分周制御を行い、動作率算出部4からの動作率データに従ってINC/DEC要求信号をマスクして、出力クロック信号BCLKの位相吸収速度を変化させるクロック生成部2とを備えている。

【0019】

又位相比較結果検出部3は、位相比較部1からの入力クロック信号ACLKと出力クロック信号BCLKとの排他的論理和出力信号に相当する位相比較信号PCのハイレベルの期間にアップカウントし、ローレベルの期間にダウンカウントするアップダウンカウンタと、設定した最小カウント値を検出してDEC要求信号を出力し、設定した最大カウント値を検出してINC要求信号を出力する検出部とを有するものである。

【0020】

又動作率算出部4は、位相比較結果検出部3からのINC/DEC要求信号を基にアップカウント又はダウンカウントして、カウント値を算出位相差データとする位相差算出カウンタと、算出位相差データと動作率データとを対応させて格納したテーブルにより、算出位相差データに従った動作率データを出力する位相吸収動作率決定部とを有するものである。又位相差算出カウンタを短い時間間隔でサンプリングして求めたカウント値を所定時間間隔毎に積算して算出位相差デ

ータとする構成とすることができます。

[0 0 2 1]

又入力クロック信号ACLKの位相にマスタクロック信号MCLKを分周した信号BCLKを同期化させるデジタル位相同期回路であって、入力クロック信号ACLKと出力クロック信号BCLKとの位相を比較する位相比較部1と、この位相比較部1に於ける比較結果により、入力クロック信号ACLKの位相に対して出力クロック信号BCLKの位相が進んでいる場合には、分周に於ける分周数を上げる方向に制御する信号を出力し、入力クロック信号ACLKの位相に対して出力クロック信号BCLKの位相が遅れている場合には、分周に於ける分周数を下げる方向に制御する信号を出力する位相比較結果検出部3と、入力クロック信号ACLKとマスタクロック信号MCLKとの位相差に応じて、分周数を制御する信号を間引く率を制御して位相差に応じて位相吸収速度を変更する制御手段とを備えている。

[0 0 2 2]

【発明の実施の形態】

図1は本発明の実施の形態の説明図であり、1は位相比較部、2はクロック生成部、3は位相比較結果検出部、4は動作率算出部、MCLKはマスタクロック信号、ACLKは入力クロック信号、BCLKは出力クロック信号、PCは位相比較信号、ON/OFFは位相吸収動作のオン/オフ信号を示す。

[0023]

位相比較部1は、入力クロック信号ACLKと出力クロック信号BCLKとの位相を比較した位相比較信号PCを位相比較結果検出部3に入力する。位相比較結果検出部3は、例えば、入力クロック信号ACLKと出力クロック信号BCLKとの排他的論理和出力信号を位相比較信号PCとすると、アップダウンカウンタにより、位相比較信号PCのハイレベルの期間にアップカウントし、ローレベルの期間にダウンカウントする。

[0024]

従って、位相同引込みの状態又は入力クロック信号 A C L K がバースト的に入力される場合の休止期間に於いては、アップカウント数とダウンカウント数とが

ほぼ等しくなるが、入力クロック信号ACLKに対して出力クロック信号BCLKの位相が遅れの場合、アップカウントの回数が多くなって、所定数に達したことを検出部で検出すると、INC要求信号を出力する。又入力クロック信号ACLKに対して出力クロック信号BCLKの位相が進みの場合、ダウンカウントの回数が多くなって、所定数に達したことを検出部で検出すると、DEC要求信号を出力する。即ち、位相比較信号PCを基にINC/DEC要求信号を出力して、クロック生成部2と動作率算出部4とに入力する。

【0025】

クロック生成部2は、マスタクロック信号MCLKと、位相比較結果検出部3からのINC/DEC要求信号と、動作率算出部4からの動作率データと、この動作率データに従った位相吸収制御を実行するか又は停止するかを制御するオン/オフ信号ON/OFFとを入力し、マスタクロック信号MCLKをカウントして分周した信号を出力クロック信号BCLKとするものである。

【0026】

その場合に、INC要求信号により、マスタクロック信号MCLKをカウントして分周する為のカウント値を1パルス分多くカウントすることにより、出力クロック信号BCLKの位相を1パルス分シフトして、入力クロック信号ACLKの位相に近づけ、又DEC要求信号によりカウント値を1パルス分少なくカウントすることにより、出力クロック信号BCLKの位相を1パルス分シフトして、入力クロック信号ACLKの位相に近づける。このINC/DEC要求信号を、動作率データに従ってマスクして、位相吸収特性を制御する。

【0027】

動作率算出部4は、動作率データを設定しておき、入力クロック信号ACLKと出力クロック信号BCLKとの位相差の大きさを測定し、その位相差の大きさに従った動作率データを求め、その動作率データをクロック生成部2に入力する。この場合の位相差の大きさは、INC/DEC要求信号を所定時間毎にカウントすることにより求めるものである。即ち、INC/DEC要求信号をカウントし、算出単位時間毎のカウント値が大きいことは、入力クロック信号ACLKの位相に対する出力クロック信号BCLKの位相の進み/遅れが大きいことを示す

ことになり、従って、カウント値が位相差に比例したものとなる。そこで、このカウント値に対応した動作率データを求めるものである。

【0028】

クロック生成部2は、この動作率データに従ってINC/DEC要求信号のマスク動作を行う。例えば、動作率1/1の場合は、INC/DEC要求信号のマスクを行うことなく、分周カウンタに於けるINC要求信号に従ったアップカウント又はDEC要求信号に従ったダウンカウントを行って、出力クロック信号BCLKの位相を遅らせ又は進める。又動作率1/2の場合は、INC/DEC要求信号を2回に1回マスクし、動作率3/4の場合は、INC/DEC要求信号を4回に1回マスクし、他の3回は、INC/DEC要求信号に従ったアップカウント又はダウンカウントの制御を行うものである。なお、オン/オフ信号ON/OFFをオンとした時に、前述の動作率データに従った位相吸収動作を行い、オフとした時には、INC/DEC要求信号を総てマスクして、位相吸収動作を停止した状態とする。

【0029】

従って、入力クロック信号ACLKに対する出力クロック信号BCLKの位相差が大きい時の高速位同期引込みと、位相差が小さい時のジッタの低減とを図ることができると共に、動作率データによって位相吸収特性を満足する特性とすることができる。更にはワンダ低減が可能となる。

【0030】

以下SDHフレームのペイロードからデマッピングしたC-Nデータの処理の為に適用できる図1に示すDPLL回路について説明する。図2は図1に於ける位相比較結果検出部3の構成を示し、11は同期化部、12は308段のアップダウンカウンタ、13はMIN値(0)検出部、14はMAX値(308)検出部を示す。又同期化部11は、位相比較信号PCを49.408MHzのマスタクロック信号MCLKに同期化させて同期信号としてアップダウンカウンタ12に入力する。又アップダウンカウンタ12には、1.544MHzのDS1クロック信号と、49.408MHzのマスタクロック信号MCLKとを入力する。DS1クロック信号は、PCM方式に於ける1.544MHzのDS-1信号又

はコンテナC-11データの1.544Mbpsに対するクロック信号に相当する。

【0031】

アップダウンカウンタ12は、カウント値を、0～308の中心値の154にロードして、マスタクロック信号MCLKに同期化した位相比較信号PCがハイレベルの時に、DS1クロック信号をアップカウントし、ローレベルの時にダウンカウントする。MIN値(0)検出部13は、アップダウンカウンタ12のカウント値が最小値、この場合、ダウンカウントによりカウント値が0となったことを検出してDEC要求信号を出力し、アップダウンカウンタ12に中心値の154のカウント値のロード要求を入力する。又MAX値(308)検出部14は、アップダウンカウンタ12のカウントが最大値、この場合、アップカウントによりカウント値が308となったことを検出してINC要求信号を出力し、アップダウンカウンタ12に中心値の154のカウント値のロード要求を入力する。即ち、MIN値(0)検出部13と、MAX値(308)検出部14とは、設定した最小カウント値を検出してDEC要求信号を出力し、設定した最大カウント値を検出してINC要求信号を出力する検出部に相当する。

【0032】

図3は図1に於ける位相比較部1を排他的論理和回路により構成した場合の位相比較信号PCの説明図であり、(A)は通常状態、(B)は入力クロック信号に対して出力クロック信号が進み位相状態、(C)は反対の遅れ位相状態の一例を示す。又図1に於ける入力クロック信号ACLKをa、出力クロック信号BCLKをb、位相比較信号PCをcとして示す。なお、矢印は、出力クロック信号bを基に、入力クロック信号aが遅れた状態を(B)、進んだ状態を(C)として示している。

【0033】

通常状態(A)に於いては、入力クロック信号aと出力クロック信号bとの位相が同期引込み状態で、位相比較信号cのハイレベルとローレベルとは同一間隔となる。従って、図2に於けるアップダウンカウンタ12のアップカウント数とダウンカウント数とは同一となる。又通常状態(A)から進み位相状態(B)に

なると、即ち、入力クロック信号aの遅れの場合、位相比較信号cのハイレベルの期間は短くなる。従って、図2に於けるアップダウンカウンタ12のダウンカウント数が多くなる。そして、アップダウンカウンタ12のカウント値が最小値の0となると、MIN値(0)検出部13により検出してDEC要求信号を出力する。又通常状態から遅れ位相状態(C)になると、即ち、入力クロック信号aの進みの場合、位相比較信号cのハイレベルの期間が長くなる。従って、図2に於けるアップダウンカウンタ12のアップカウント数が多くなる。そして、アップダウンカウンタ12のカウントが最大値の308となると、MAX値(308)検出部14により検出してINC要求信号を出力する。

【0034】

図4は位相比較結果検出部の動作説明図であり、(A)、(B)、(C)は、図3の(A)、(B)、(C)の状態に対応し、又MCLKはマスタクロック信号、DS1CはDS1クロック信号、PCは位相比較信号、UDはアップダウンカウンタ12のカウント値、DEC、INCは、DEC要求信号及びINC要求信号を示す。

【0035】

アップダウンカウンタ12は、マスタクロック信号MCLKに同期化した位相比較信号PCのハイレベル期間にはDS1クロック信号DS1Cをカウントアップし、ローベル期間にはDS1クロック信号DS1Cをダウンカウントする。通常状態(A)では、アップダウンカウンタ12のカウント値UDは、アップカウント数とダウンカウント数とがほぼ同数となるから、中心値の154の前後の値となる。

【0036】

又進み位相状態(B)に於いては、位相比較信号PCのローベルの期間がハイレベルの期間より長くなり、ダウンカウントの回数が多くなる。そして、アップダウンカウンタ12のカウント値UDが0となると、MIN値(0)検出部13からDEC要求信号を出力する。そして、ロード要求によってアップダウンカウンタ12のカウント値UDは、中心値の154にロードされる。

【0037】

又遅れ位相状態（C）に於いては、位相比較信号PCのハイレベルの期間がローレベルの期間より長くなり、アップカウントの回数が多くなる。そして、アップダウンカウンタ12のカウント値UDが308となると、MAX値（308）検出部14からINC要求信号を出力する。そして、ロード要求によってアップダウンカウンタ12のカウント値UDは、中心値の154にロードされる。

【0038】

図5は動作率算出部の説明図であり、図1に於ける動作率算出部4の構成を示し、21はINC/DEC入力微分回路、22はサンプリングタイミング生成部、23は128段の位相差算出カウンタ、24は位相吸収動作率決定部を示す。49.408MHzのマスタクロック信号MCLKを、INC/DEC入力微分回路21とサンプリングタイミング生成部22と位相差算出カウンタ23とに入力し、サンプリングタイミング生成部22に於いて2ms周期のサンプリングタイミング信号を生成し、位相差算出カウンタ23に入力する。

【0039】

又INC/DEC入力微分回路21は、INC要求信号とDEC要求信号とをマスタクロック信号MCLKによって微分し、そのINC微分信号とDEC微分信号とを位相差算出カウンタ23に入力する。位相差算出カウンタ23は、INC微分信号により+1のアップカウント、DEC微分信号により-1のダウンカウントを行う。この位相差算出カウンタ23のカウント値を、2ms周期のサンプリングタイミング信号によってラッチし、前の3回分のカウント値と積算して位相差を算出する。即ち、2ms毎のカウント値を4回分積算して算出位相差データとする。

【0040】

この場合、2ms周期で積算カウント値を更新して算出位相差データとすることになり、8ms間隔のカウント値が位相差を示すものとなるが、この8ms間隔で算出位相差データとすると、動作率の更新間隔が長くなる。しかし、2ms周期でカウント値を更新しているものであるから、動作率の更新間隔も2ms周期で行うことが可能になる。従って、8ms周期で動作率の更新を行う場合に比較して円滑な動作率の更新が可能となる。それによって、位相吸収特性の安定化

を図ることができる。

【0041】

位相吸収動作率決定部24は、位相差毎の動作率設定データを基に、算出位相差データに従った動作率を、算出動作率データとして、図1に於けるクロック生成部3に入力する。この動作率は、位相差が大きい場合に動作率を大きくして位相吸収動作を高速化し、位相差が小さい場合に動作率を小さくして位相吸収動作を低速としてジッタ抑圧を行い、位相差が大きい場合から小さい場合に移行する過程では、所望の位相吸収特性が得られるように動作率を設定する。

【0042】

図6は動作率設定データの説明図であり、ビット数で示す位相差と、動作率1/1, 3/4, 1/2, 1/4とを対応させたテーブルとすることができる。即ち、位相吸収動作率決定部24を、図6に示す内容のテーブルとし、算出位相差データをビット数で表すことにより、算出動作率データを求めることができる。なお、プロセッサの演算処理機能を用いることにより、予め設定した動作率データ算出プログラムに従って、位相差算出カウンタ23からの算出位相差データを基に、算出処理することも可能である。

【0043】

前述のテーブルに於いては、例えば、位相差が36～50ビットに相当する場合に、動作率を1/1とする。この動作率1/1は、INC/DEC要求信号に従った動作を行うものである。又位相差が例えば1～5ビットに相当する場合に、動作率を1/2とする。この動作率1/2は、INC/DEC要求信号の2回に1回動作を行うものである。又位相差が例えば27～35ビットに相当する場合に、動作率を3/4とする。この動作率3/4は、INC/DEC要求信号の4回に3回動作を行うものである。又例えば位相差が6ビットに相当する場合に、動作率を1/4とする。この動作率1/4は、INC/DEC要求信号の4回に1回動作を行うことを示す。

【0044】

図7は動作率とINC/DEC要求信号のマスクとの説明図であり、動作率1/1の場合、入力INC/DEC要求信号は、マスクされることなく、クロック

生成部2に於ける位相制御動作を行い、動作率1/2の場合、入力INC/DEC要求信号は、2回に1回、点線で示すようにマスクすることにより、2回に1回の位相制御動作を行うことになる。又動作率1/4の場合、入力INC/DEC要求信号は、4回に3回、点線で示すようにマスクすることにより、4回に1回の位相制御動作を行うことになる。又動作率3/4の場合、入力INC/DEC要求信号は、4回に1回、点線で示すようにマスクすることにより、4回に3回の位相制御動作を行うことになる。

【0045】

図8はクロック生成部の説明図であり、図1に於けるクロック生成部3の構成を示し、31はINC/DEC微分回路、32はINC/DEC要求マスク処理部、33はマスタクロック分周部を示す。INC/DEC要求微分回路31は、位相比較結果検出部3からのINC要求信号又はDEC要求信号を、49.408MHzのマスタクロック信号MCLKに同期して、マスタクロック信号MCLKのパルス幅のINC要求信号又はDEC要求信号を、INC微分信号又はDEC微分信号として、INC/DEC要求マスク処理部32に入力する。

【0046】

このINC/DEC要求マスク処理部32と、位相吸収動作率決定部24（図5参照）とにより、入力クロック信号ACLKと出力クロック信号BCLKとの位相差に応じて、分周数を制御する信号を間引く率を制御して、位相差に応じて位相吸収速度を変更する制御手段を構成している。又INC/DEC要求マスク処理回路32は、動作率データに従った位相吸収制御を実行するか又は停止するかを制御するオン/オフ信号ON/OFFと、算出動作率データと、INC微分信号と、DEC微分信号と、マスタクロック信号MCLKとを入力し、位相吸収動作を実行する場合は、動作率データに従って、INC微分信号又はDEC微分動作信号をマスクし、その結果のINC信号又はDEC信号をマスタクロック分周部33に入力して、マスタクロック信号MCLKの1パルス分の挿入、抜取りを行って、DS1クロック信号（1.544MHz）を出力する。

【0047】

図9はクロック生成部の動作説明図であり、MCLKはマスタクロック信号、

DCはマスタクロック分周部33の32分周する構成のカウンタとした時のカウント値、DS1CはDS1クロック信号、INCはINC要求信号、DECはDEC要求信号を示す。(A)は、マスタクロック信号MCLKをマスタクロック分周部33により32分周して、DS1クロック信号DS1Cを生成している状態を示す。

【0048】

この状態で、(B)に示すように、DEC要求信号が入力されると、マスタクロック分周部33を構成するカウンタのカウント値DCは、(a)に示すように、マスタクロックMCLKを1パルス分抜取った状態とする。それにより、マスタクロック信号MCLKを31分周することに相当し、DS1クロック信号DS1Cの位相を遅らせる。又(C)に示すように、INC要求信号が入力されると、マスタクロック分周部33を構成するカウンタのカウント値DCは、(b)に示すように、マスタクロック信号MCLKを1パルス分余分にカウントした状態とする。それにより、マスタクロック信号MCLKを33分周することになり、DS1クロック信号DS1Cの位相が進むことになる。

【0049】

従って、49.408MHzのマスタクロック信号MCLKの分周を制御して、1.544MHzのDS1クロック信号DS1Cを、入力クロック信号との位相差が大きい場合は、動作率を例えば1/1として、位相吸収特性を高速化し、位相差が小さい場合は、動作率を例えば1/2として、位相吸収特性を低速化し、その間の位相差の場合は、所望の位相吸収特性となるように動作率を設定することにより、位相同期引込みの高速化と、定常時のジッタの低減並びにワンドの低減を図ることができる。

【0050】

図10はMTIE特性説明図であり、(A)、(B)の横軸は測定時間(s)、縦軸はMTIE(ns)を示し、A1、B1は、SDHフレームからC-Nデータのデマッピング処理に於いて要求されるMTIE規格による特性曲線、A1は従来のDPLL回路の測定MTIE特性曲線、B2は本発明の実施の形態のDPLL回路の測定MTIE特性曲線を示す。

【0051】

即ち、従来のDPLL回路は、動作率設定を行わないものであるから、規格オーバーとして示す部分に於いて、MTIE規格を満足することができなかつた。これに対して、本発明の実施の形態によると、位相差の大きさに従つた動作率の設定により、位相吸収特性を位相差に応じて変更することにより、曲線B2に示すように、MTIE規格を満足することができた。なお、このMTIE規格が変更になった場合、その変更後のMTIE規格に従つた動作率データを設定することにより、そのMTIE規格を満足する特性のDPLL回路を提供することができる。

【0052】

本発明は、前述の各実施の形態にのみ限定されるものではなく、種々付加変更することが可能であり、例えば、図11に示すように、デマッピングしたC-Nデータをメモリに書込クロック信号に従つて書込み、この書込クロック信号に位相同期した読み出クロック信号により読み出す場合の読み出クロック信号を得る為のDPLL回路に適用可能であることは勿論のこと、書込クロック信号のように、バースト的に入力されるクロック信号に位相同期し、連続的なクロック信号を得る場合のDPLL回路としても適用可能である。

【0053】

【発明の効果】

以上説明したように、本発明は、入力クロック信号ACKと出力クロック信号BCLKとの位相を位相比較部1により比較し、位相比較信号PCを基に分周制御を行う為のINC/DEC要求信号を出力する位相比較結果検出部3と、この位相比較結果検出部3からのINC/DEC要求信号を基に、入力クロック信号ACKと出力クロック信号BCLKとの位相差を算出して、この位相差に対応した動作率データを出力する動作率算出部4と、位相比較結果検出部3からのINC/DEC要求信号に従つて、マスタクロック信号MCLKの分周制御を行い、動作率算出部4からの動作率データに従つてINC/DEC要求信号をマスクして、出力クロック信号BCLKの位相吸収速度を変化させるクロック生成部2を備えており、位相差が大きい場合は動作率を大きくして、高速位相吸収特性

とし、位相差が小さい場合は動作率を小さくして、ジッタ抑圧を可能とし、位相差が大きい状態から小さい状態に移行する過程では、所望の位相吸収特性となるように動作率を設定することにより、バースト的な入力クロック信号に対しても、それに位相同期した出力クロック信号を得ることができる利点がある。

【図面の簡単な説明】

【図1】

本発明の実施の形態の説明図である。

【図2】

位相比較結果検出部の説明図である。

【図3】

位相比較信号の説明図である。

【図4】

位相比較結果検出部の動作説明図である。

【図5】

動作率算出部の説明図である。

【図6】

動作率設定データの説明図である。

【図7】

動作率とINC/DEC要求信号のマスクとの説明図である。

【図8】

クロック生成部の説明図である。

【図9】

クロック生成部の動作説明図である。

【図10】

MTIE特性説明図である。

【図11】

C-Nデータのデマッピング説明図である。

【符号の説明】

1 位相比較部

2 クロック生成部

3 位相比較結果検出部

4 動作率算出部

ACLK 入力クロック信号

BCLK 出力クロック信号

MCLK マスタクロック信号

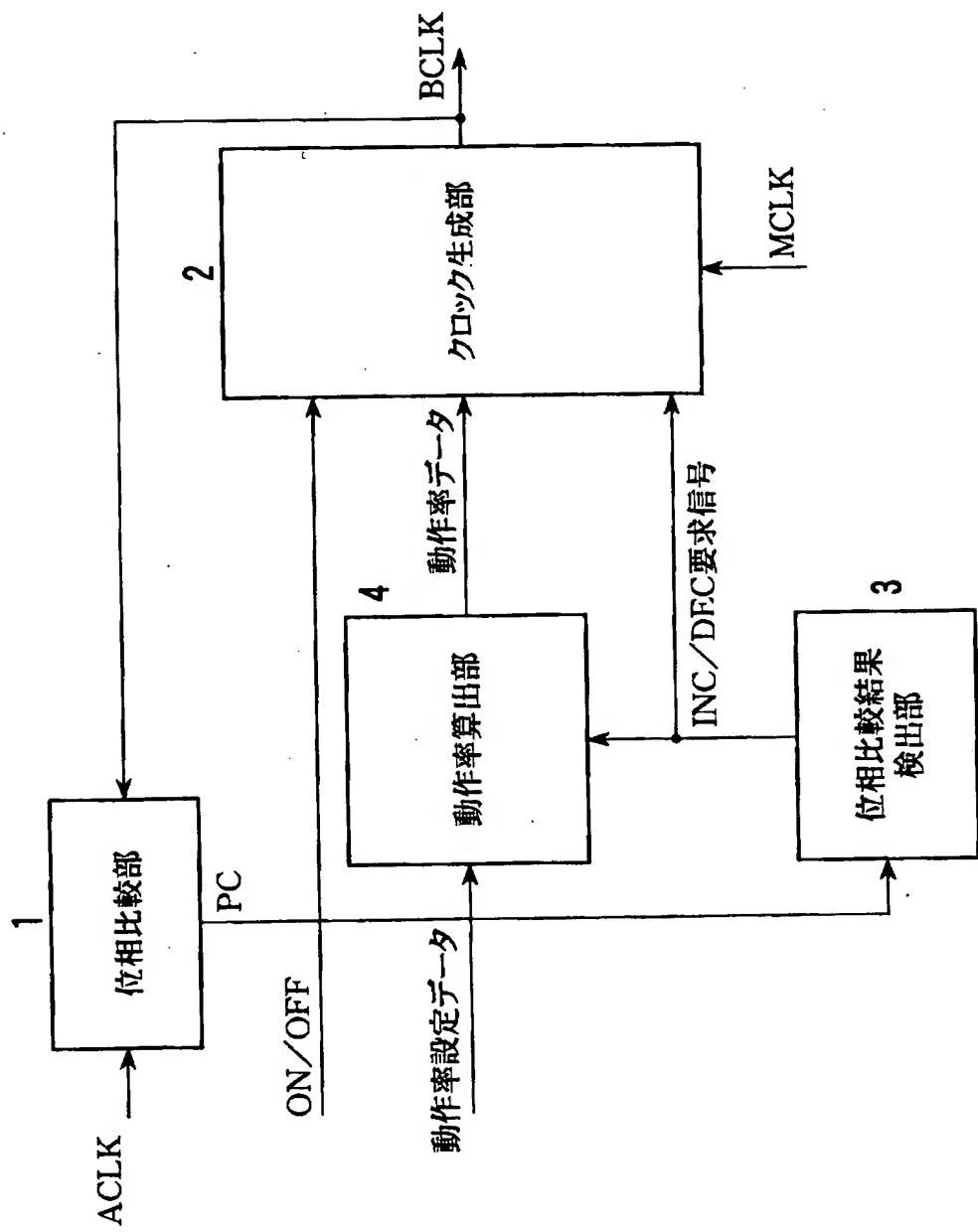
PC 位相比較信号

【書類名】

図面

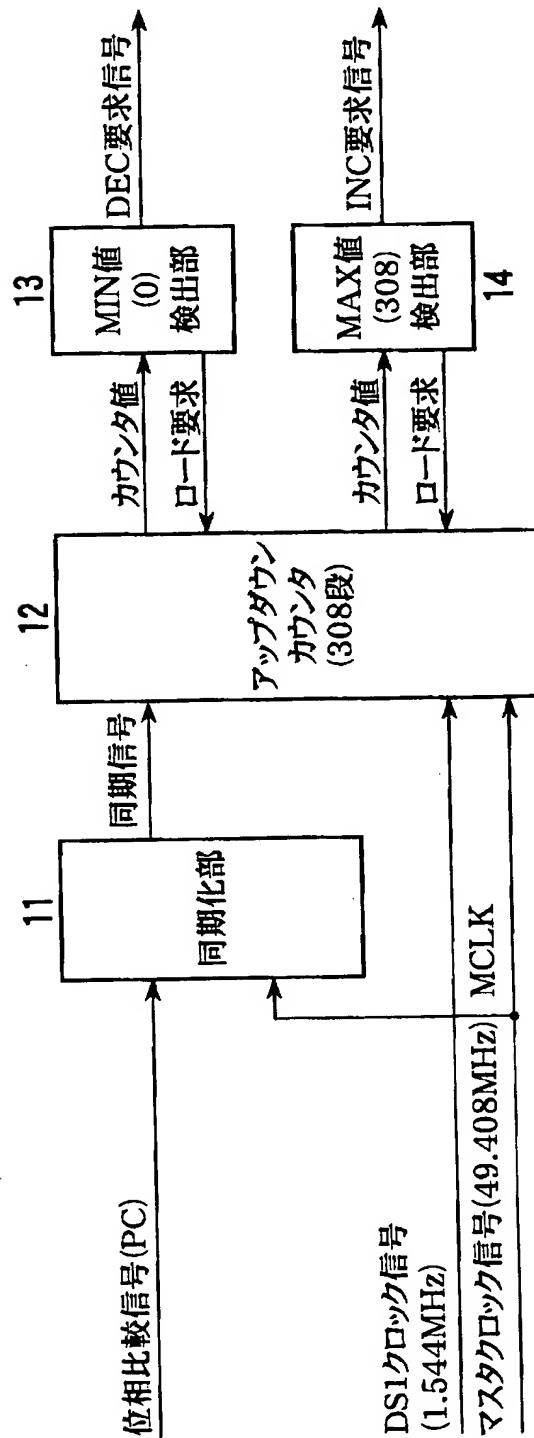
【図1】

本発明の実施の形態の説明図



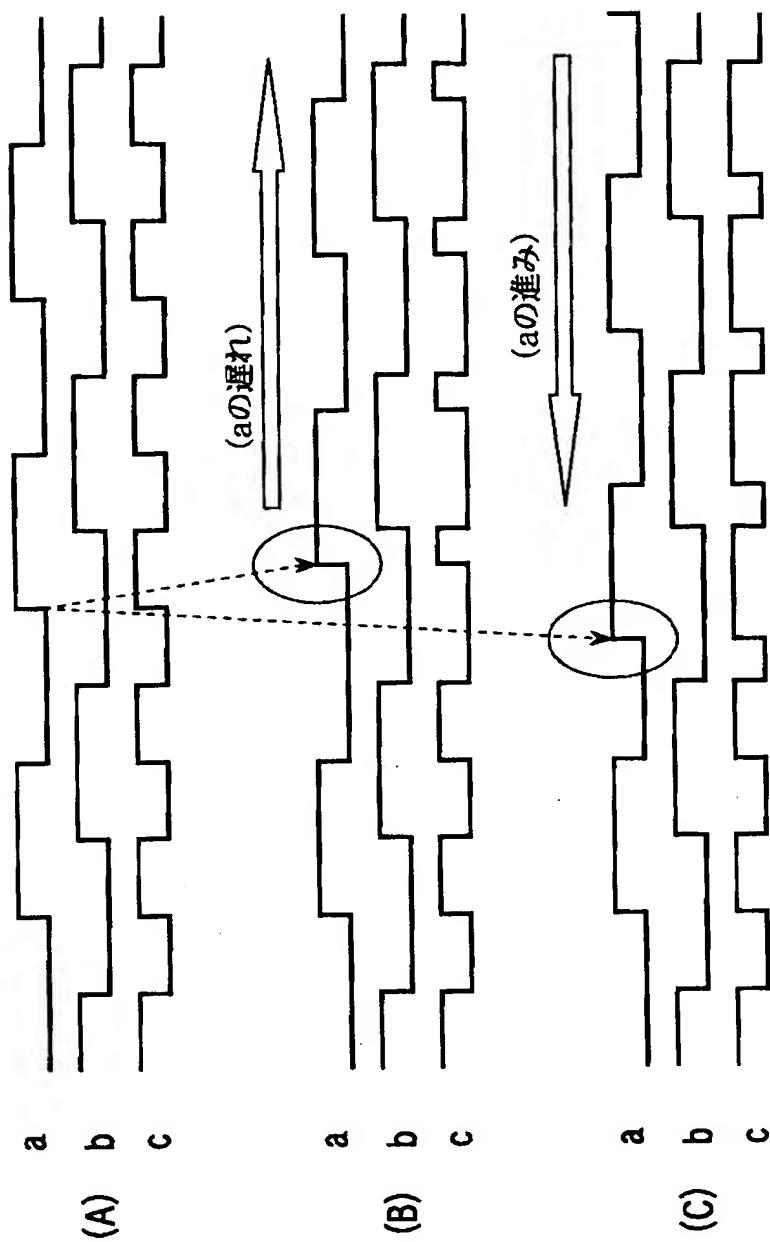
【図2】

位相比較結果検出部の説明図



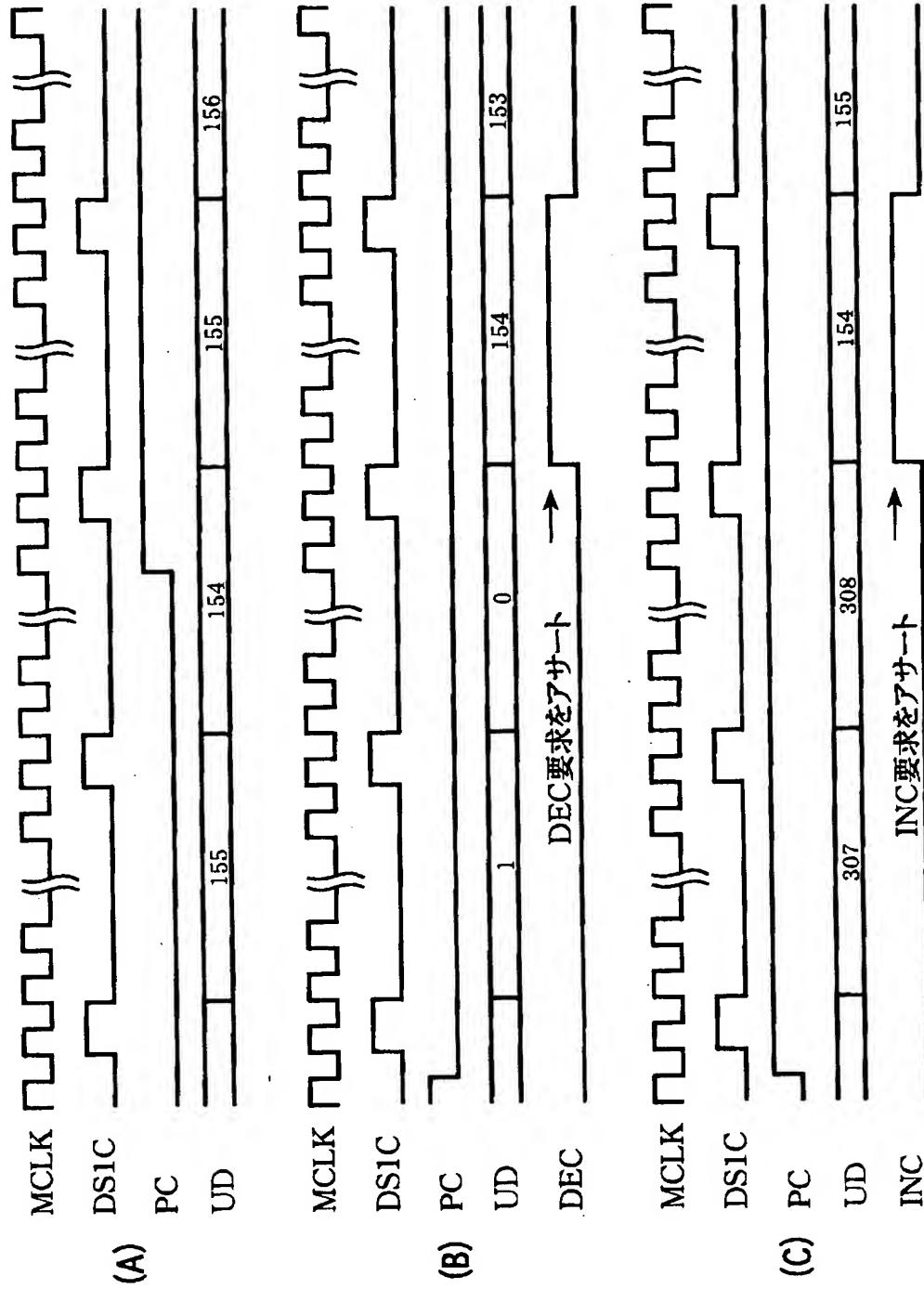
【図3】

位相比較信号の説明図



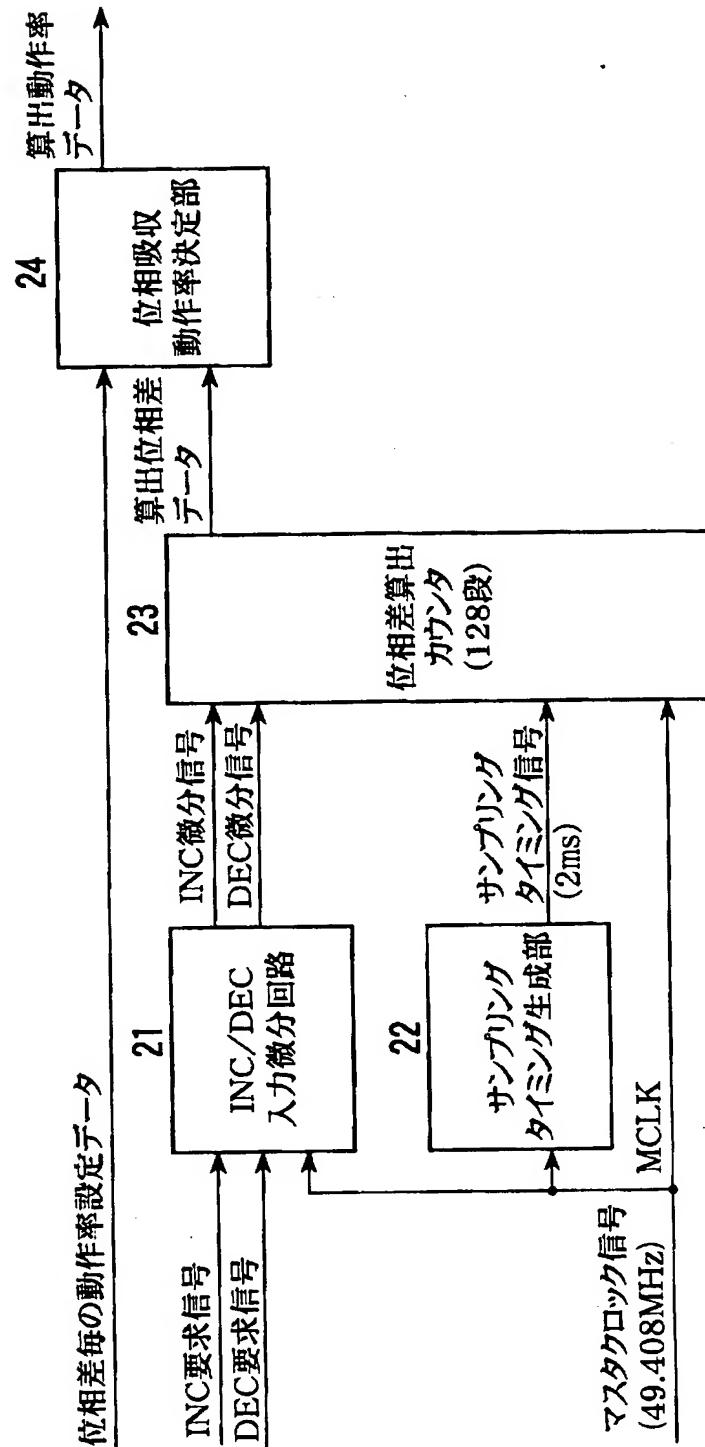
【図4】

位相比較結果検出部の動作説明図



【図5】

動作率算出部の説明図



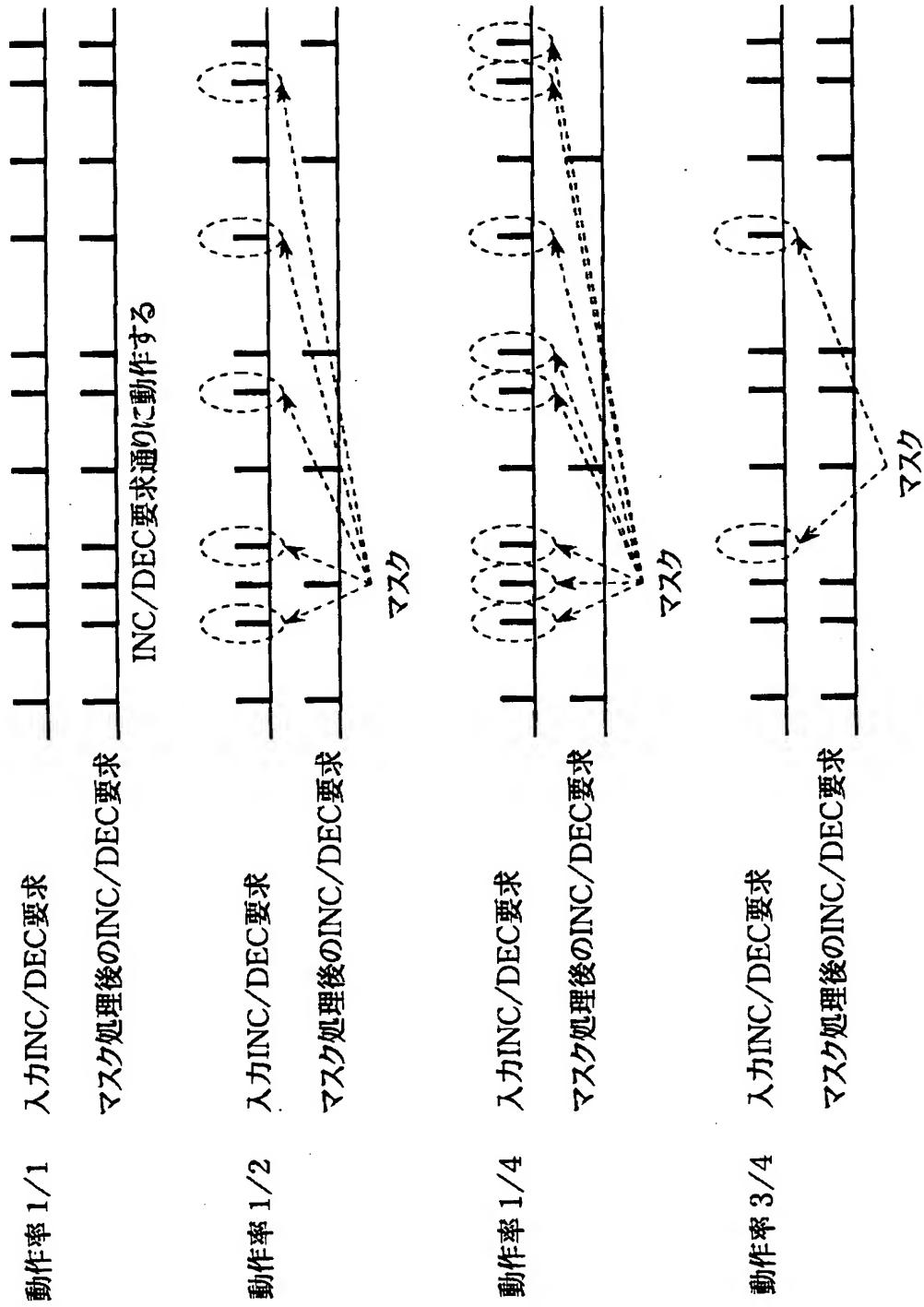
〔図6〕

動作率決定データの説明図

位相差	動作率								
50bit	1/1	40bit	1/1	30bit	3/4	20bit	1/2	10bit	1/2
49bit	1/1	39bit	1/1	29bit	3/4	19bit	1/2	9bit	1/2
48bit	1/1	38bit	1/1	28bit	3/4	18bit	1/2	8bit	1/2
47bit	1/1	37bit	1/1	27bit	3/4	17bit	1/2	7bit	1/2
46bit	1/1	36bit	1/1	26bit	1/2	16bit	1/2	6bit	1/4
45bit	1/1	35bit	3/4	25bit	1/2	15bit	1/2	5bit	1/2
44bit	1/1	34bit	3/4	24bit	1/2	14bit	1/2	4bit	1/2
43bit	1/1	33bit	3/4	23bit	1/2	13bit	3/4	3bit	1/2
42bit	1/1	32bit	3/4	22bit	1/2	12bit	3/4	2bit	1/2
41bit	1/1	31bit	3/4	21bit	1/2	11bit	3/4	1bit	1/2

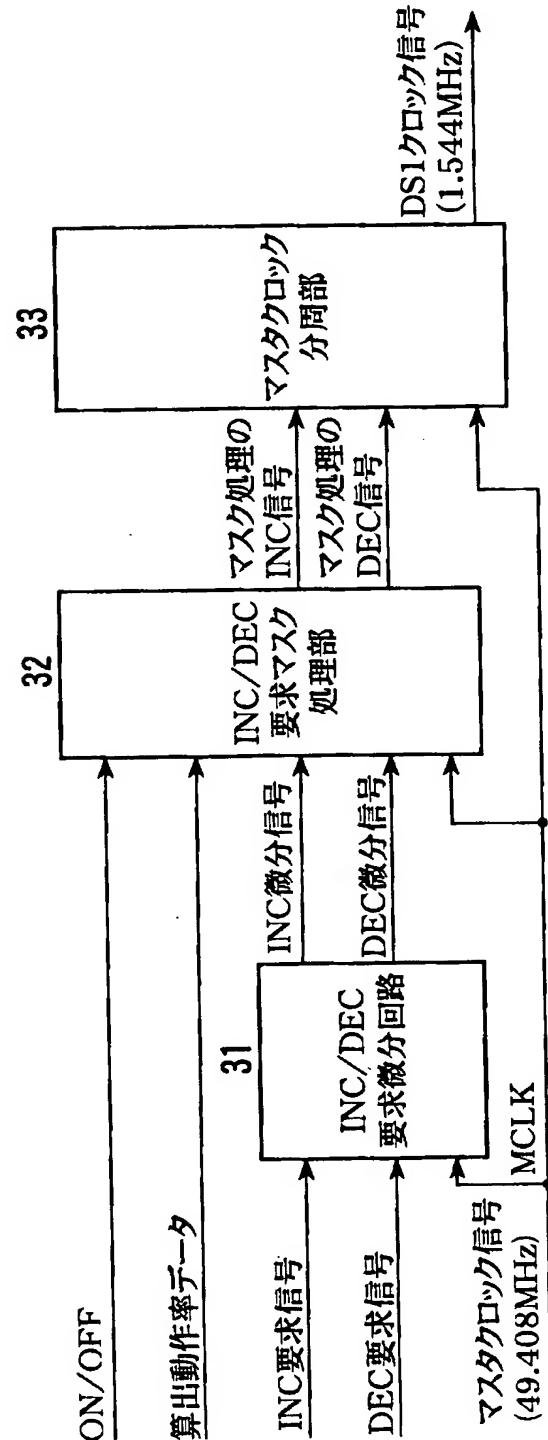
【図7】

動作率とINC/DEC要求信号のマスクとの説明図



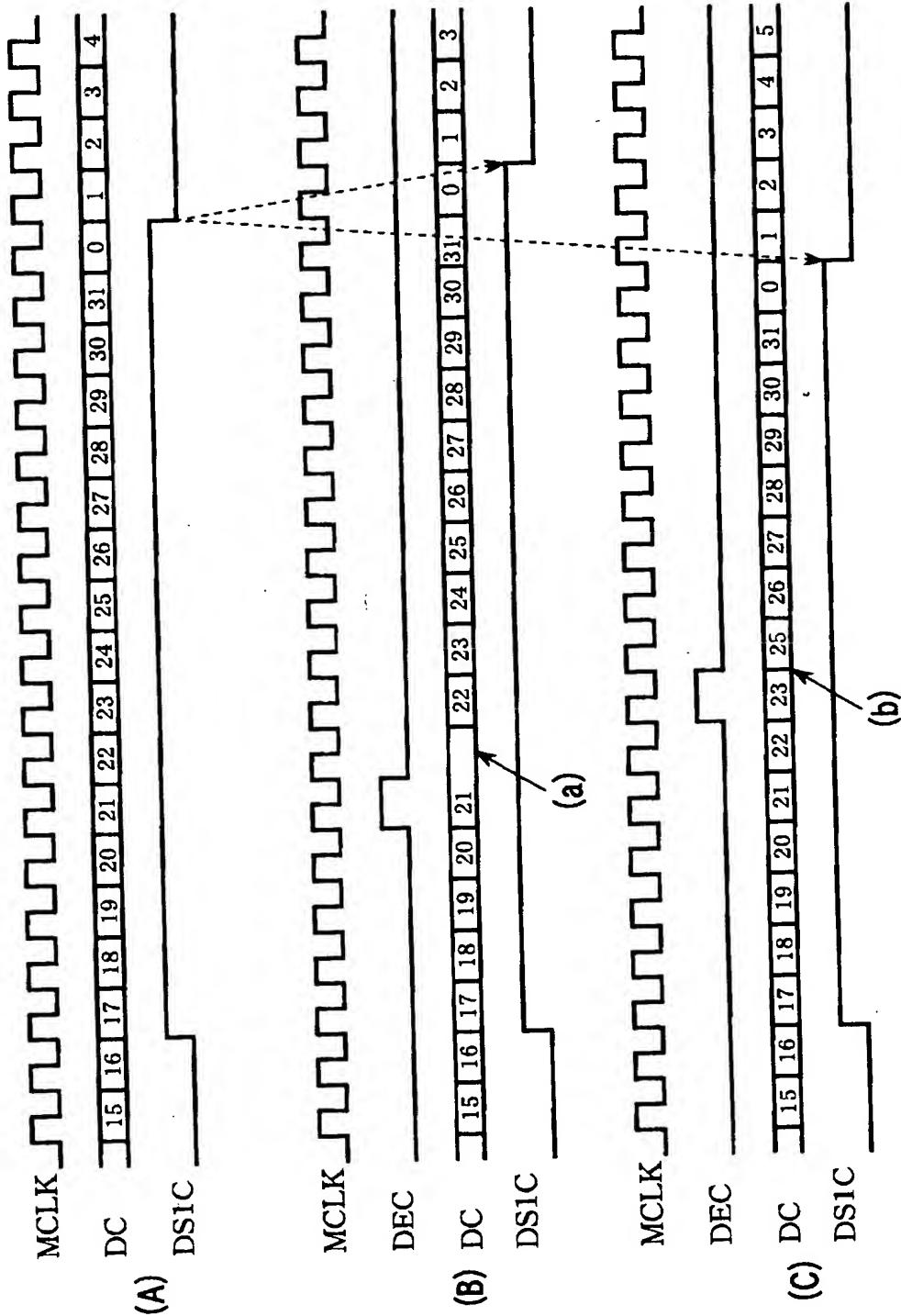
【図8】

クロック生成部の説明図



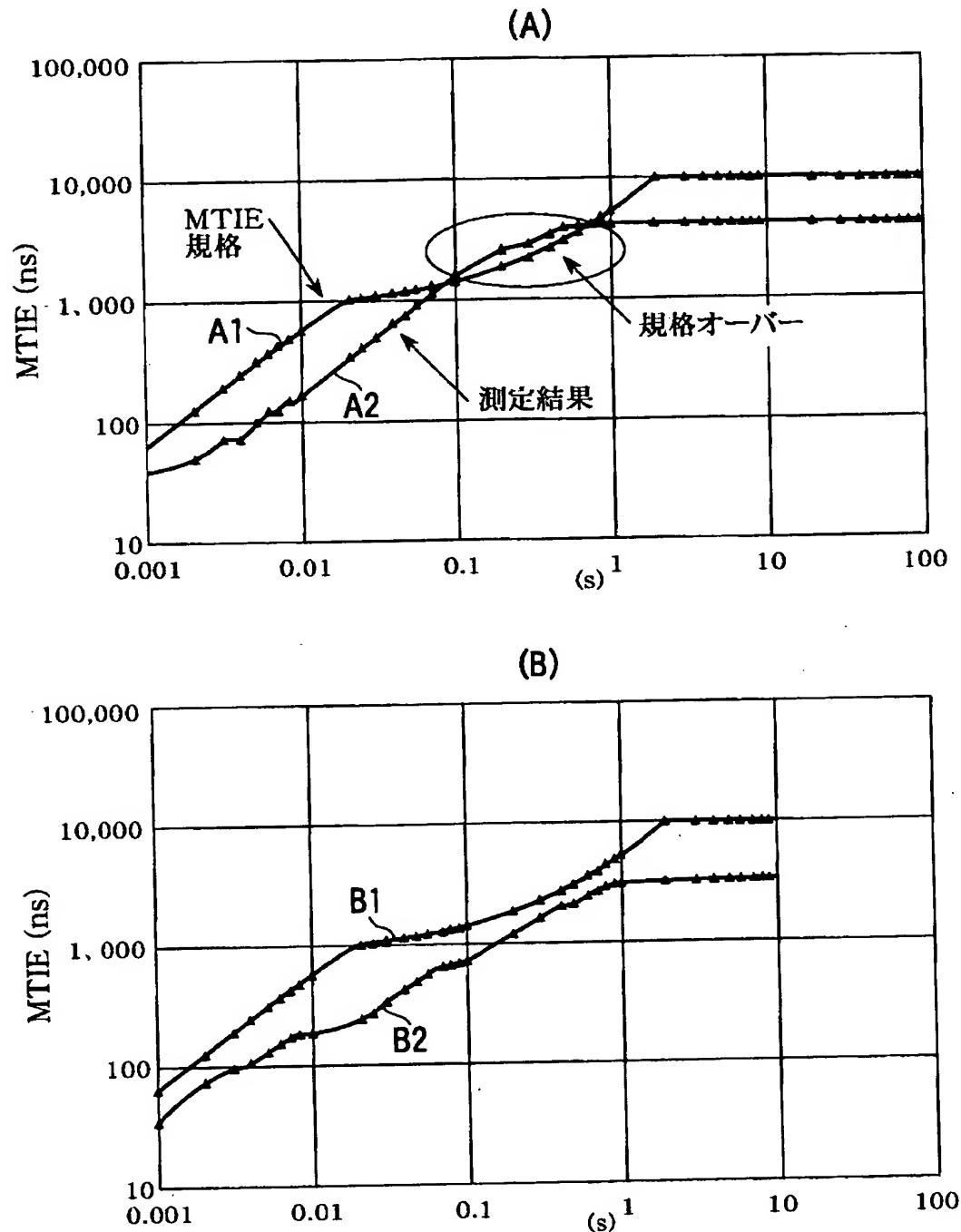
【図9】

クロック生成部の動作説明図



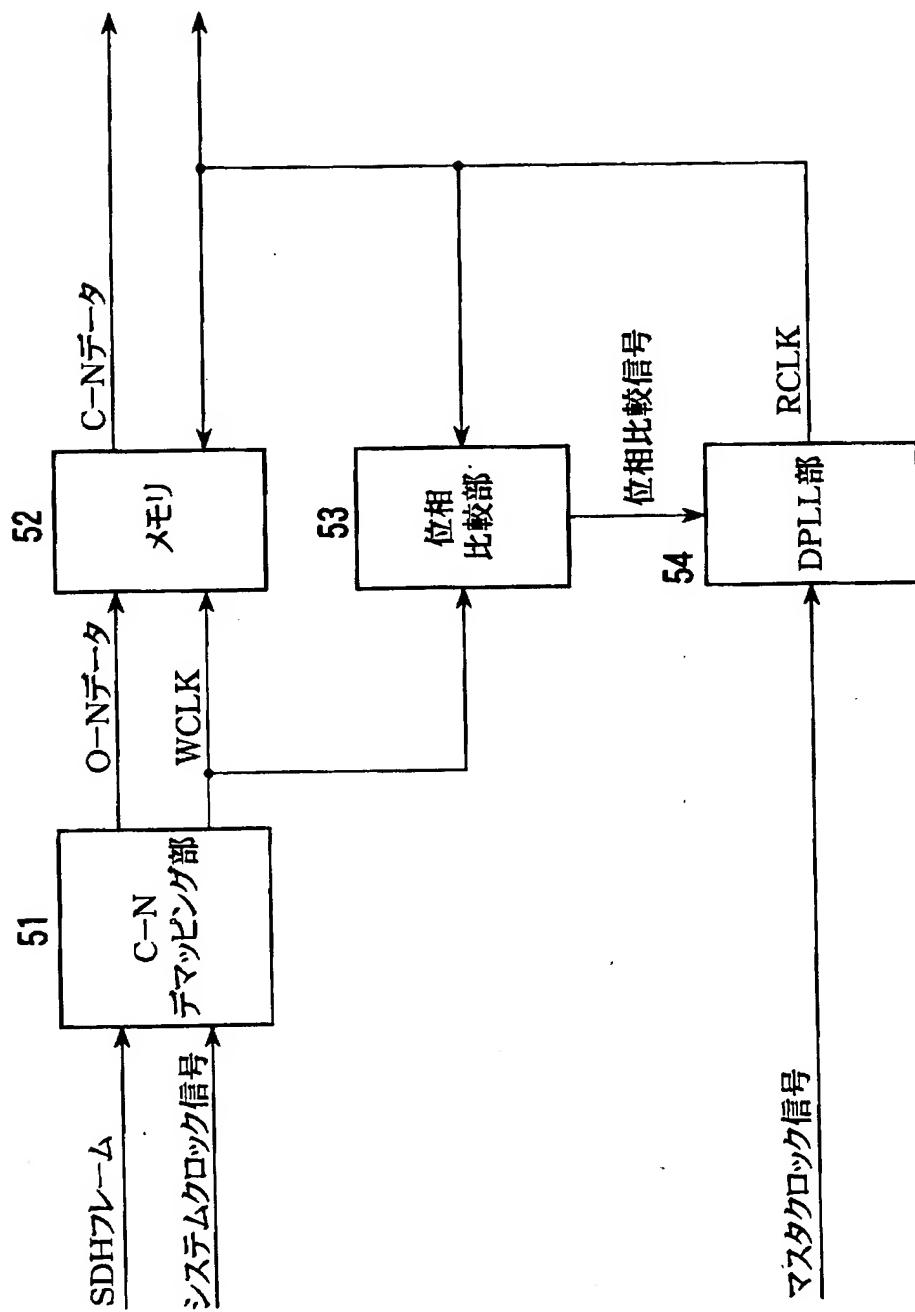
【図10】

MTIE特性説明図



【図11】

C-Nデータのデマッピング説明図



【書類名】 要約書

【要約】

【課題】 ディジタル位相同期回路に関し、バースト的な入力クロック信号に対しても所望の位相吸収特性で位相同期化した出力クロック信号を得る。

【解決手段】 入力クロック信号ACLKと出力クロック信号BCLKとの位相を比較する位相比較部1と、この位相比較部1からの位相比較信号PCを基に分周制御を行う為のINC/DEC要求信号を出力する位相比較結果検出部3と、INC/DEC要求信号を基に、入力クロック信号ACLKと出力クロック信号BCLKとの位相差を算出し、この位相差を基に動作率データを出力する動作率算出部4と、INC/DEC要求信号に従って、マスタクロック信号MCLKの分周制御を行い、動作率算出部4からの動作率データに従ってINC/DEC要求信号をマスクして、出力クロック信号BCLKの位相吸収速度を変化させるクロック生成部2とを備えている。

【選択図】 図1

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社